



# Rekontruksi Pembelajaran Komunikasi Digital Modulasi QPSK dengan Rewiring Modicom 5/1 dan Modicom 5/2

## *Reconstruction of QPSK Modulation Digital Communication Learning with Rewiring Modicom 5/1 and Modicom 5/2*

Rudi Setiawan, Wisnu Setyo Pambudi

Program Studi Teknik Elektronika Pertahanan, AAU

E-mail: rudisetiawan@aau.ac.id, sp1.wisnu@aau.ac.id

**Abstract—** *Communication systems are very decisive in modern warfare, the use of long-range weapons without crew requires a long-distance communication system using digital modulation communication. One of the basics of digital modulation communication that is important is QPSK modulation, so the Department of Electronics develops learning by conducting research on QPSK modulation and demodulation by conducting research on series block systems built on Modicom 5/1 and Modicom 5/2. Modicom 5/1 consists of blocks, namely the separation of serial data into MSB and LSB data, Unipolar to bipolar converters, Modulator I and Modulator Q and the summation of the Op-Amp. The Modicom 5/2 consists of a QPSK detector, a two-order filter, a comparator and a decoder differential. The results of the study prove that serial data from modicom 3/1 is in the form of serial data (D0,D1,D2,D3,D4,D5) separated by MSB data separator blocks (D0,D2,D4) and LSB (D1,D3,D5), serial data MSB and LSB (unipolar data standard (0V/+5V)) are converted to bipolar standard digital data (-4V/+4V) by a unipolar to bipolar converter block system. Balance Modulator (IC 1496) with MSB signal input (I) on modulator 1 carrier frequency of 960kHz ( $\angle 0^\circ$ ) and 960 kHz ( $\angle -180^\circ$ ) on modulator 2 is LSB (Q) will output data in the form of an analog sine signal with a frequency of 960 KHz with different phase according to carrier signal '0'= $\angle -90^\circ$  or '1'= $\angle -270^\circ$ . the sum of the Module I and Q signal modules into phase angles of 00( $45^\circ$ ),10( $135^\circ$ ),11( $225^\circ$ ), 01 ( $315^\circ$ ). The QPSK detector by means of the information signal is generated 4 times, the phase is detected (IC PLL) then divided by 4, phase difference angle as control switch signal I and Q to get signal I and signal Q. The I and Q signals are filtered by fourth order butterworth then the I and Q signal data as comparator inputs to get a logic 0 or 1. Data I and O as logic data (0/1) as MSB and LSB data are combined again into discrete serial data with blocks differential decoder by using the PISO register (parallel input serial output) using IC 17HC175.*

**Keywords—** *Digital communication, QPSK Modulation, Modicom 5/1, Modicom 5/2GPS*

**Abstrak—** *Sistem komunikasi menjadi hal yang krusial dalam perang modern. Penggunaan senjata jarak jauh dengan maupun tanpa awak membutuhkan sistem komunikasi jarak jauh yang berdasarkan komunikasi modulasi digital. Salah satu dasar komunikasi modulasi digital yang penting adalah modulasi QPSK maka Departemen Elektronika Pertahanan AAU mengembangkan pembelajaran melalui penelitian pada modulasi dan demodulasi QPSK dengan cara melakukan riset sistem blok-blok rangkaian yang menyusun Modicom 5/1 dan Modicom 5/2. Pada Modicom 5/1 terdiri blok pemisahan data serial menjadi data MSB dan LSB, Unipolar to bipolar converter, Modulator I dan Modulator Q dan penjumlahan berupa Op-Amp. Modicom 5/2 terdiri dari detektor QPSK, filter dua orde, komparator dan deferensial dekoder. Hasil pengujian membuktikan bahwa Data serial dari modicom 5/1 berupa data serial (D0,D1,D2,D3,D4,D5) dipisahkan blok pemisah data MSB (D0,D2,D4) dan LSB (D1,D3,D5), Data serial MSB dan LSB (standar data unipolar (0V/+5V)) diubah ke data digital standar bipolar (-4V/+4V) oleh sistem blok unipolar to bipolar converter. Balance Modulator (IC 1496) dengan masukan sinyal MSB (I) pada modulator 1 frekuensi carrier sebesar 960kHz ( $\angle 0^\circ$ ) dan 960 kHz ( $\angle -$*

180°) pada modulator 2 adalah LSB (Q) akan mengeluarkan data berupa sinyal sinus analog dengan frekuensi 960 KHz dengan beda phase sesuai sinyal carrier '0' =  $-90^\circ$  atau '1' =  $-270^\circ$ . Penjumlahan dari Modul I dan modul sinyal Q menjadi sudut phase 00(45°), 10(135°), 11(225°), 01 (315°). Detektor QPSK kemudian membangkitkan sinyal informasi sebanyak 4 kali, dideteksi phasenya (IC PLL) kemudian dibagi 4, sudut beda phase sebagai kendali saklar sinyal I dan Q untuk mendapatkan sinyal I dan sinyal Q. Sinyal I dan Q difilter butterworth orde empat kemudian data sinyal I dan Q sebagai masukan komparator untuk mendapatkan nilai logika 0 atau 1. Data I dan Q sebagai data logika (0/1) untuk data MSB dan LSB digabungkan lagi menjadi serial data diskrit oleh blok differential decoder dengan menggunakan register PISO (paralel input serial output) menggunakan IC 17HC175)

Kata Kunci—Komunikasi digital, Modulasi QPSK, Modicom 5/1, Modicom 5/2

## I. PENDAHULUAN

Sistem komunikasi sangat dibutuhkan di dunia kemiliteran sebagai jalur informasi antar satuan atau untuk kendali jarak jauh. Kebutuhan sistem komunikasi jarak jauh yang dinilai paling efektif pada saat ini adalah komunikasi satelit. Sistem kerja satelit banyak menggunakan sistem komunikasi digital dengan transformasi sistem analog berupa perbedaan phase, dengan keunggulan yaitu besarnya muatan data yang lebih banyak dan deteksi error yang lebih mudah. Sistem komunikasi digital dengan modulasi *Quadrature Phase Shift Keying* (QPSK) dapat dijadikan alternatif pada komunikasi menggunakan satelit.

Penelitian ini dimaksudkan untuk menganalisis proses modulasi dan demodulasi sinyal QPSK menggunakan Modicom 5/1 dan Modicom 5/2. Dengan adanya penelitian ini, diharapkan didapatkan gambaran kepada taruna dan pembaca tentang sistem kerja blok diagram mulai dari *input*, proses, dan *output* yang dihasilkan dalam proses Modulasi dan Demodulasi QPSK; juga bertujuan sebagai referensi bagi Dosen dan taruna di lingkungan Departemen Elektronika untuk mempelajari materi sistem komunikasi digital khususnya proses modulasi sinyal QPSK sebagai pengembangan pembelajaran.

Adapun manfaat yang bisa diambil adalah hasil penelitian ini nantinya dapat dijadikan referensi sebagai media pembelajaran dasar-dasar Komunikasi Digital, sekaligus menjadi sarana untuk belajar *reenggering* produk LJ instrument khususnya komunikasi PSK dan QPSK.

## II. LANDASAN TEORI

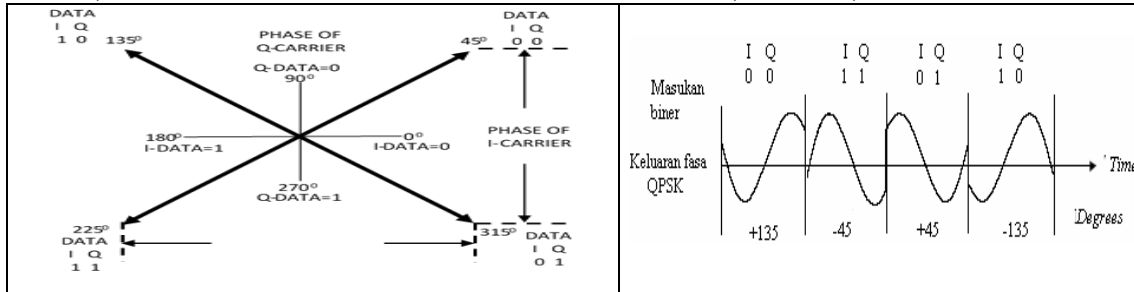
Komunikasi digital dengan modulasi QPSK sebagai pengembangan dasar komunikasi modulasi *phase shift keying* (PSK) digunakan dalam komunikasi digital pada telepon seluler maupun komunikasi satelit. Penelitian tentang komunikasi QPSK dilakukan oleh Yohana Febrianti Sumardi pada tahun 2008 dengan menjelaskan demodulator QPSK melalui tahap Detektor QPSK, *Low Pass Filter*, Komparator dan Register PISO, serta rangkaian delay. Pada penelitian ini juga dijelaskan tentang *wiring sistem* Modulator dan demodulator dengan Modicom 5/1 dan 5.2. Adapun beberapa dasar pengetahuan tentang Modulasi QPSK adalah sebagai berikut:

### A. *Quadrature Phase Shift Keying* (QPSK).

QPSK adalah modulasi digital dengan memodulasi phase sudut dari frekuensi carrier, menggunakan data digital 00, 01, 11 dan 10 menjadi sudut phase tertentu sesuai dengan Gambar 1. Jarak *angular* antara kedua fasor yang berdekatan pada QPSK yaitu sebesar  $90^\circ$ , contoh sinyal QPSK yang mengalami pergeseran fasa dari  $+45^\circ$  ke  $+135^\circ$  dengan amplitudo yang sama. Perbedaan bit pada QPSK yang berdekatan adalah hanya 1 bit, contohnya 11 dan 01, 00 dan 10. Adapun hubungan matematis dari penjumlahan sinyal *carrier* dari modulator QPSK sebagai berikut

- 1) Sinyal 00 (I,Q),  $I = \sin Wc.t$  dan  $Q = +\cos Wc. T$ ,  
Hasil penjumlahan (I,Q) =  $2^2 * \cos (Wct+45)$
- 2) Sinyal 10 (I,Q), maka  $I = -\sin Wc.t$  dan  $Q = \cos Wc.t$   
Hasil penjumlahan (I,Q) =  $2^2 * \cos (Wct+135)$  atau 135

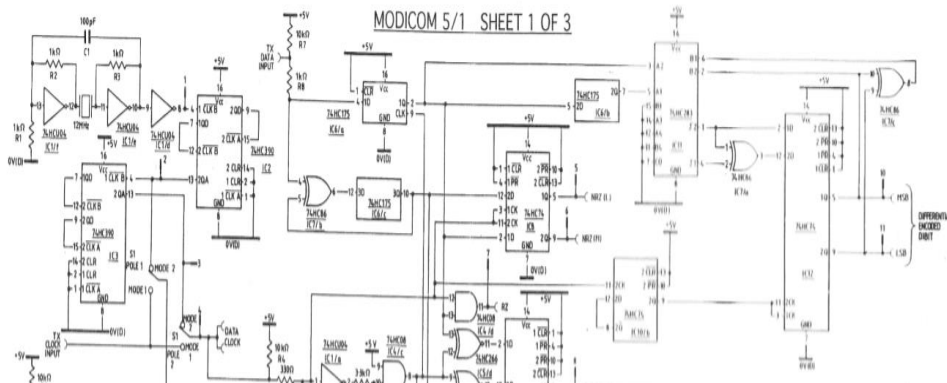
- 3) Sinyal 01 (I,Q), maka  $I=\sin Wc.t$  dan  $Q=-\cos Wc.t$   
Hasil penjumlahan (I,Q) =  $2^2 * \cos (Wct-45)$  atau 315
- 4) Sinyal 11 (I,Q), maka  $I=-\sin Wc.t$  dan  $Q=-\cos Wc.t$   
Hasil penjumlahan (I,Q) =  $2^2 * \cos (Wct+225)$  atau 225
- 5)  $A \cos wt . A \cos wt = A^2 \cos^2 wt = 1/2 . A^2 . (1+\cos^2 wt)$



Gambar 1. Diagram Fasa QPSK

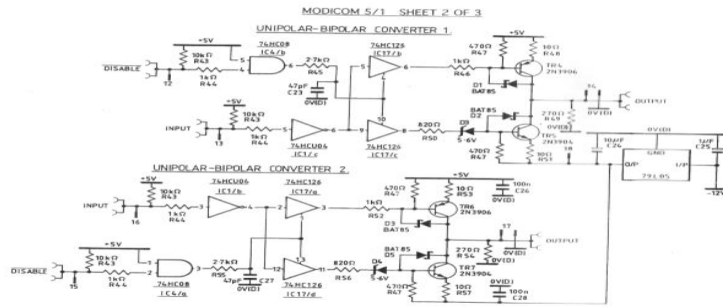
B. *Tranceiver QPSK (Modicom 5/1)*. Modicom 5/1 mempunyai blok pembangkit frekuensi carrier I dan Q, pemisah data serial ganjil genap, mengubah standar data dari unipolar ke standar data polar, modulator data ganjil (I) dan modulator data genap (Q) dan penjumlah. Data keluaran transmiter berupa gelombang sinus dengan frekuensi 960 Khz dan beda phase sesuai data digital dari data seri input .

- 1) **Pemisah Data Serial.** Pada Modicom 5/1 pemisahan data serial menjadi data serial ganjil dan genap sesuai dengan urutan berat data serial menggunakan IC 74HC175 yang berfungsi *men-delayed data*, IC 74HC283 berfungsi sebagai penjumlahan antar 4 bit , IC 74HC74 berfungsi *buffer* dan IC 74HC86 berfungsi sebagai gerbang EXOR. Data keluaran berupa data MSB (I) dan data LSB dengan standart data NRLZ yaitu masukan ‘0’ = 0V(ground) dan ‘1’ = 5V.



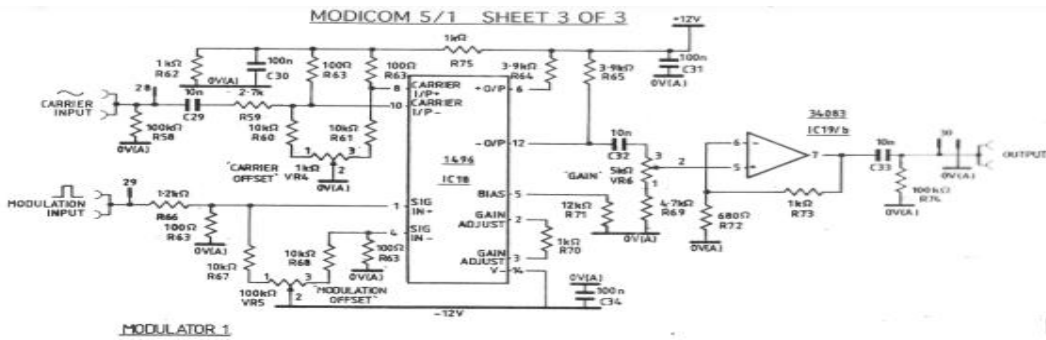
Gambar 2. Blok Pemisah Data Seri Menjadi Data I (MSB) dan Data Q (LSB)

- 2) **Unipolar to bipolar converter.** Blok ini mengubah data *unipolar* dengan masukan sebesar +5V/0V menjadi *bipolar* data dengan masukan sebesar +4V (1) dan -4V (0). Sistem ini terdiri dari komponen transistor, tristate, nand dan regulator (7805/7905).



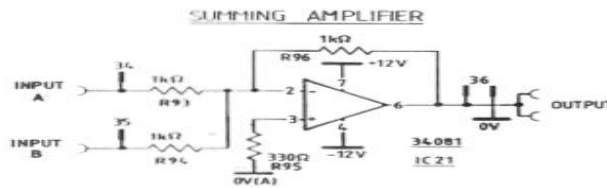
Gambar 3. Blok Converter Data Unipolar ke Data Bipolar

3) *Balance Modulator* merupakan saklar pembalikan fasa yang tergantung kondisi logika sinyal informasi biner. Modulator *balance* ini menggabungkan dua buah sinyal yang masuk pada blok ini yaitu dari sinyal pembawa dengan sinyal informasi biner. Rangkaian IC 1496, rangkaian ini terdiri atas komponen *different amplifier* yang berguna sebagai parameter untuk mengaktifkan *carrier input* berupa nilai positif (+) atau minus (-) yang akan digunakan pada saat prosesnya, apabila masukan dari *input signal* berupa positif logika '1' (bipolar) maka frekuensi *carrier* akan mengubah phase 180 derajat.



Gambar 4. Blok Modulator IC 1496

4) *Summing Amplifier* adalah rangkaian Op-Amp penjumlah dengan menggunakan penjumlah inverter dengan gain tergantung nilai  $R_f$  dan  $R_i$  pada masing-masing masukan, sesuai gambar 5 sebagai contoh rangkaian penjumlah.

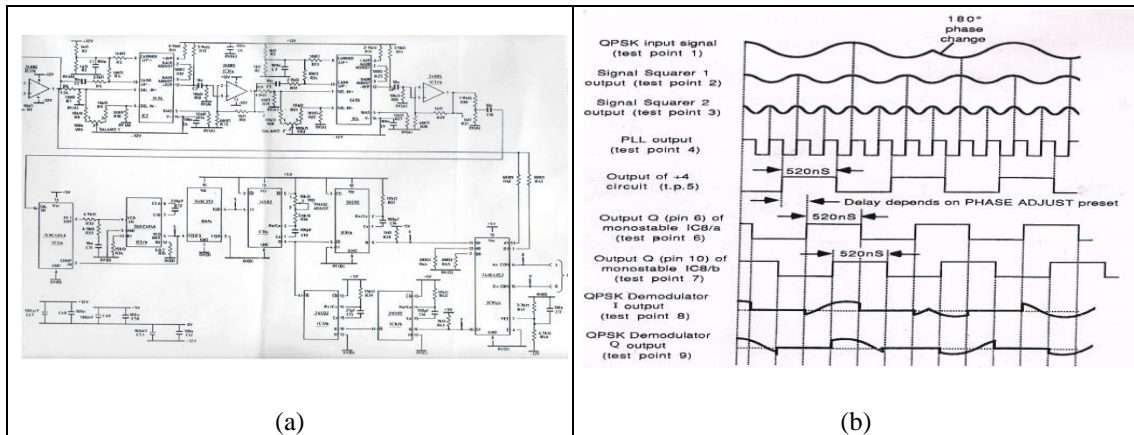


Gambar 5. Blok Diagram QPSK

C. Receiver QPSK (Modicom 5/2)

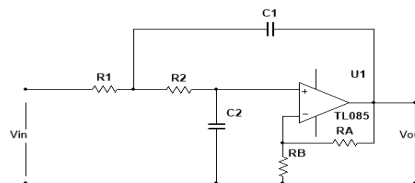
*Demodulator QPSK* terdiri dari *Detektor OPSK*, *Low Pass Filter (LPF)*, komparator (*data squaring circuit*), *differential decoder*. *Demodulator QPSK* adalah proses memodulasi data analog (mengubah sinyal data analog menjadi sinyal data digital) yang datanya terdiri dari 2 bit data yaitu 1/0 pada I (MSB) dan Q (LSB), data berupa sinyal analog frekuensi karier dengan beda sudut 45°, 135°, 225°, 315°.

1) *Detektor QPSk*. Terdapat 5 bagian dalam deteksi sinyal, yaitu *Signal squarer 1*, *Signal squarer 2*, *detector phase* dengan PLL, Rangkaian pembagi 4, *Phase adjust*.



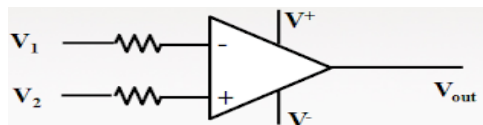
Gambar 6. (a) Blok Detektor QPSK, (b) Sinyal Kendali Detektor QPSK

2) *Low Pass Filter (LPF)*, Gambar 7 menunjukkan blok yang menggunakan filter *butterword* dengan orde 2, sistem ini ditentukan oleh  $c1, c2$ ,  $R1, R2$  dan gain Op-amp penguat non inver yang bergantung pada nilai  $RA$  dan  $RB$ .



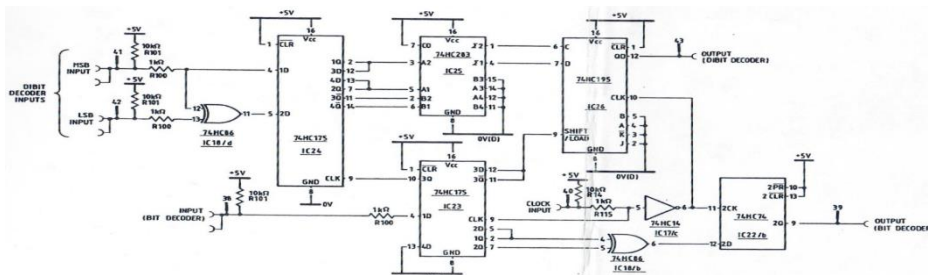
Gambar 7. Op-amp dengan Low Pass Filter

3) *Komparator*. Komparator menggunakan Op-amp dengan membandingkan masukan (-) dan masukan (+) sebagai referensi atau sebagai masukan sehingga keluaran Op-amp akan +V atau -V.



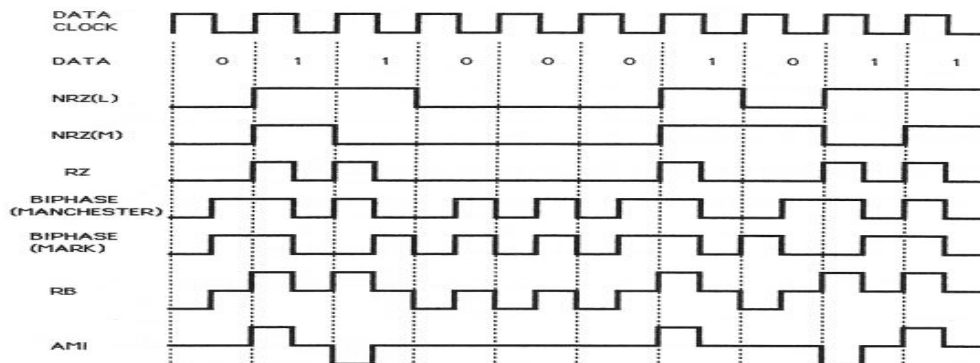
Gambar 8. Op-amp sebagai komparator

4) *Differential decoder*. Gambar 9 adalah blok yang mengubah data MSB dan LSB menjadi data serial dengan standar NTZ-L menggunakan IC 74HC175 sebagai *buffer*, IC74HC283 sebagai penjumlah 4 bit dan IC 74HC 195 sebagai *register* geser.



Gambar 9. Blok Data Paralel Ke Data Seri

D. *Standar Data Gelombang Digital*. Guna mengkomunikasikan antar sistem yang berbeda, dibutuhkan standarisasi guna menghindari kesalahan data. Pada komunikasi digital terdapat standar data untuk menyatakan data 0 atau 1. Gambar 10 menjelaskan beberapa standarisasi data, misalkan standarisasi data pada sistem komunikasi digital NRZ(L) yaitu 0 utk tegangan 0 dan 1 untuk tegangan 5 volt.

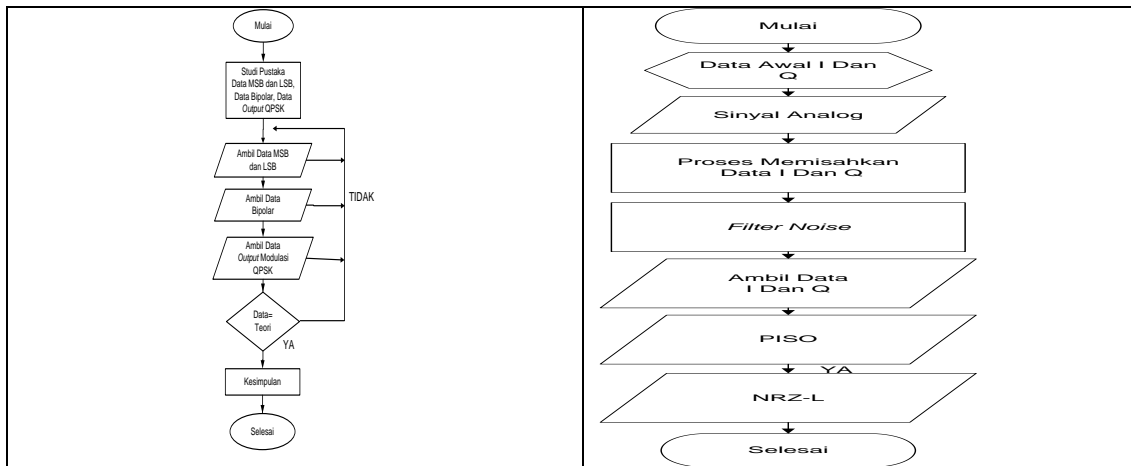


Gambar 10. Standar Data Digital

### III. RANCANGAN PENELITIAN

Penelitian yang diperlukan dalam Komunikasi Digital metode Quadrature Phase Shift Keying (QPSK) Menggunakan Modicom 5 di Akademi Angkatan Udara meliputi pengujian perangkat keras dan studi pustaka dari LJ Instrumen dengan data sheet IC pendukung Modicom 5/1 dan Modicom 5/2. Data 6 bit dan sumber *clock* berasal dari Modicom 3/1 pada sisi Transceiver (Modicom 5/1) dan pada sisi receiver (Modicom 5/2) dengan dan Modicom 3/2 dengan tahap penelitian sebagai berikut

- Studi pustaka. Studi literatur terhadap penelitian-penelitian yang telah dilakukan sebelumnya dan komponen pendukung sistem rangkaian yang membangun Modicom 5/1 dan Modicom 5.2 serta penentuan gap penelitian.
- Merumuskan masalah. Berdasarkan hasil kajian literatur, maka dapat ditentukan gap permasalahan yang ada untuk diselesaikan dalam penelitian ini sebagai tujuan penelitian.
- Perancangan Pengujian Alat. Perangkat yang akan digunakan yakni meliputi Skematik Modicom 5/1 dan 5/2, Modicom 3/1, Modicom 3/2 dan data sheet dari IC yang membangun Modicom 5/1 dan 5/2.
- Pengujian Alat. Pengujian alat terhadap akurasi hasil parameter pada blok blok rangkaian dan proses modulasi serta demodulasi dari Modicom 5/1 dan modicom 5/2.
- Analisis Hasil Pengujian. Dari hasil pengujian yang ada maka akan dilakukan analisis terhadap data setiap blok rangkaian dibandingkan dengan data *technical manual* dari Modicom 5/1 dan Modicom 5/2. Dalam hal ini ketelitian dan logika pemrosesan menjadi konstrain yang dipikirkan untuk dianalisa.
- Kesimpulan dan Saran. Setelah kita melakukan pengujian terhadap hubungan data setiap blok rangkaian dengan data *technical manual* dari Modicom 5/1 dan Modicom 5/2, apakah Modicom 5/1 dan Modicom 5/2 dapat bekerja sesuai dengan tingkat ketelitian dan proses logika yang diharapkan. Saran berupa penelitian lanjutan yang dapat dilakukan dalam pengembangan sistem.
- Pembuatan laporan. Pembuatan laporan menjadi hal yang penting karena *output* dari penelitian ini adalah pengembangan pembelajaran bagi diktat pembelajaran taruna khususnya bidang komunikasi data digital.



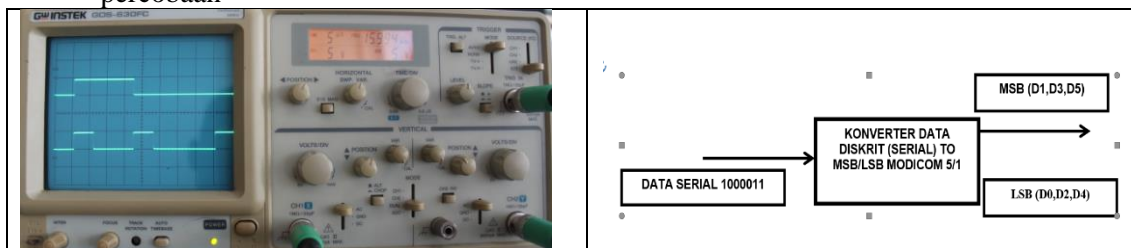
Gambar 11. Rancangan Penelitian

#### IV. IMPLEMENTASI MODEL DAN PEMBAHASAN

Pengujian *Quadrature Phase Shift Keying* (QPSK) ini dimulai dari modicom 3/1 sebagai sumber data, setelah itu akan ditransmisikan kepada modicom 5/1 . Tujuan pentransmisian ini adalah untuk mendapatkan hasil format data MSB dan LSB, kemudian proses *unipolar to bipolar converter*, *balance modulator* dan *summing amplifier*. Proses demodulasi pada blok demodulator QPSK yaitu sebagai *detector phase*, yang bertujuan untuk deteksi data I dan Q. Proses deteksi sinyal tersebut terdiri dari empat (5) tahapan, antara lain: *signal squarer 1*, *signal squarer 2*, PLL (*phase lock loop*), rangkaian pembagi empat (*divide by 4 circuit*) dan *phase adjust*. Setelah proses deteksi sinyal untuk mendapatkan data I dan Q kemudian melewati *low pass filter* (960 KHz), kemudian tahap berikutnya blok data *squaring circuit* (comparator) yaitu untuk membandingkan dua buah *input* antara sinyal I dan tegangan referensi menjadi MSB dan LSB. Tahap terakhir adalah pada blok *differential decoder* yaitu untuk mengurutkan data MSB (data I) dan LSB (data Q) secara serial dengan standar data NRZ-

**A. Pengujian Transmitter Modulasi QPSK.** Pengujian Modulasi QPSK dengan menggunakan data diskrit dari PCM (Modicom 3/1) dengan modulator 5/1 sebagai transmitter Modulasi QPSK dan receiver (demodulasi) pada Modicom 5/2. Penelitian dilakukan secara per-blok rangkaian dari sistem modulasi (5/1 ) yang terdiri dari pemisah data MSB dan LSB, osilator 960 KHz phase 0/-90, modulator IC1496 dan blok penjumlah yang menggunakan sistem Op-Amp. Pada receiver terdiri dari detektor QPSK, filter dan komparator dan deferensial dekoder yaitu register paralel ke serial. Penelitian dari sistem modulasi QPSK dapat dijelaskan sebagai berikut :

- 1) **Data Most Significant Bit (MSB) dan Least Significant Bit (LSB).** Data diskrit dari modulasi kode pulsa 6 bit diubah menjadi data genap dan data ganjil dengan hasil percobaan

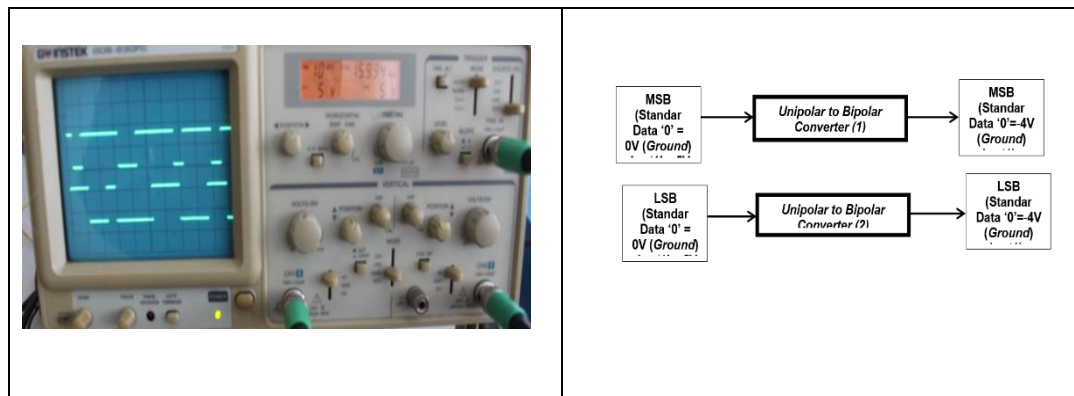


Gambar 12. Data MSB dan LSB



Data masuk melalui *IC6/a (IC74HC175)* adalah *Flip-Flop type D* yang berfungsi sebagai *buffer* untuk men-*delayed* data. Setelah itu, keluaran dari *IC6/a* diterima oleh 2 komponen yaitu pada *IC11 (IC74HC283)* pada kaki A2 dan *IC6/b (IC74HC175)* pada kaki 2D. Data yang masuk pada *IC6/b* kemudian di-*delayed* kembali, lalu dikirimkan ke transistor bipolar menuju *IC11* pada kaki A1. *IC11* berfungsi sebagai penjumlahan 4 bit (A1, A2, A3, A4, B1, B2, B3, dan B4) namun pada proses ini data pada A3, A4, B3, dan B4 dihubungkan ke *ground* atau dinolkan sehingga hanya data A1, A2, B1, dan B2 yang mengalami pengolahan data. Data keluaran *IC11* pada kaki  $\Sigma 2$  (A2+B2) dikirimkan menuju *IC12 (IC74HC74)* pada kaki 1D dan pada *IC7/a (IC74HC86)* pada *Input 1* dan pada keluaran *IC11* kaki  $\Sigma 1$  (A1+B1) dikirimkan kepada *IC7/a (IC74HC86)* *Input 2*. *IC7/a* merupakan komponen yang berfungsi sebagai *EXOR*, keluarannya dikirimkan pada kaki 2D *IC12*. *IC12* merupakan *Flip-Flop type D* berfungsi sebagai *buffer* pada proses ini *clear (CLR)* dan *preset (PR)* dinonaktifkan. Data bit keluaran yang memiliki nilai besar (*Bit High*) keluar pada kaki 1Q sebagai data *MSB* sedangkan sebaliknya data yang nilainya lebih kecil (*Bit Low*) keluar pada kaki 2Q sebagai data *LSB*. *Bit High (Most Significant Bit)* di umpan balikkan menjadi masukan B2 dan *Bit Low (Least Significant Bit)* di-*EXOR*-kan dan diumpan balikkan menjadi masukan B1 pada *IC11 (IC74HC283)*. Keluaran data dari *MSB* dan *LSB* di TP 10 dan TP 11 berbentuk digital tersebut ditampilkan pada *Oscilloscope* sesuai Gambar 12.

2). Unipolar to Bipolar Converter. Sistem ini adalah mengubah data parameter data digital biner 0 (*ground*) dan 1(5 volt) atau data digital dc menjadi data digital biner 0 (-5 volt) dan 1(5 volt), Gambar 13 sebagai data penelitian pada sistem Blok Unipolar to Bipolar converter.



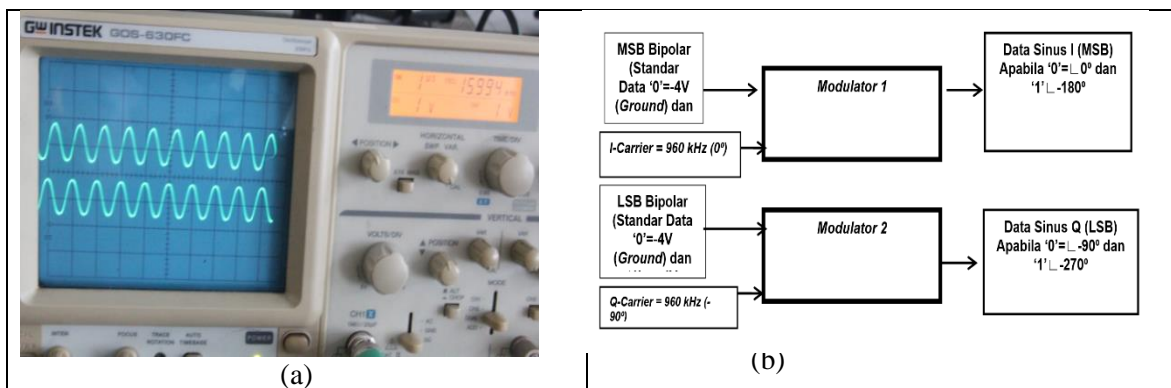
Gambar 13. Data Unipolar ke Data Polar

*Converter* pertama digunakan sebagai masukan (t.p.13) dari t.p.10 keluaran data *MSB* (data I) dan *converter* kedua digunakan sebagai masukan (t.p.16) dari t.p.11 untuk keluaran data *LSB* (data Q). Ketika blok *unipolar to bipolar* diaktifkan, *converter* akan mengubah *input* yaitu data *unipolar* (+5V/0V) menjadi data *bipolar* ( $\pm 4V$ ). Masukan sebesar +5V pada *input* akan menjadi +4V pada keluarannya, sebaliknya masukan 0V menjadi -4V pada keluarannya. Pada *Converter* disediakan fungsi *DISABLE*. Apabila pada fungsi ini diberi data logika '1' (+5V) dan tidak dihubungkan pun, *DISABLE* ini akan tetap pada logika '1' (+5V), namun apabila fungsi *DISABLE* diberi data logika '0' (0V) maka *converter* akan menjadi 0V. Pertama, IC 79L05 sebagai regulator tegangan negatif dapat dilihat pada t.p 18. Diasumsikan di awal bahwa masukan *DISABLE* tidak dihubungkan sehingga *input* pada kaki 4 *IC4/b (IC74HC08)* yaitu data logika '1'. Disisi lain masukan pada kaki 5 *IC4/b* yaitu data logika '1' (+5V), *IC4/b* berfungsi sebagai gerbang logika *AND* sehingga keluaran dari IC berupa data logika '1'. Selanjutnya keluaran dari *IC4/b* dihubungkan pada *3-state buffers*



terdiri dari IC17/b dan IC17/c bagian dari IC74HC126 berfungsi sebagai *buffers* yang telah diaktifkan oleh masukan data berlogika '1'. Data *Input* pada t.p 13 yang telah di *inverted* oleh IC74HCU04 digunakan pada masukan *3-state buffers* (kaki 5 dan 9). IC74HC126 ini akan bergantung pada *Data Input* karena keduanya akan selalu berkebalikan. Ketika *Data Input* pada logika '1' maka, *3-states buffers* berdata logika '0' (0V).

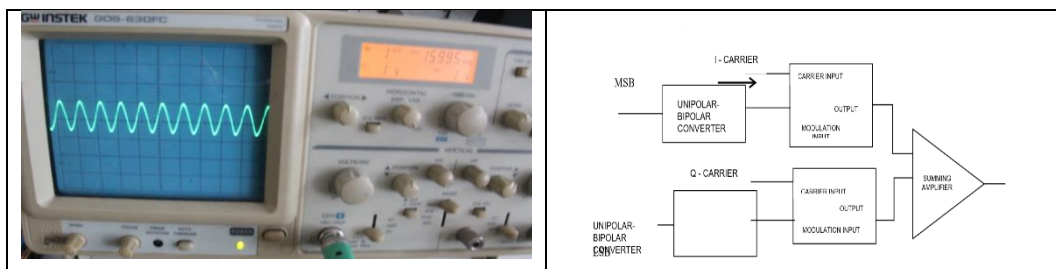
c. *Balance Modulator*. Penelitian pada tahap ini dilakukan dengan mengubah data digital diskrit menjadi data analog yang berbentuk gelombang sinus, sehingga dibutuhkan pembangkit gelombang sinus I dan Q *carrier* yang masing-masing memiliki frekuensi sebesar 960KHz ( 0-fasa dan *lagging* 90-fasa). Pada tahap ini juga digunakan 2 diagram *balance modulator*, yaitu modulator 1 untuk meneliti data masukan *MSB* (data I) dan modulator 2 untuk meneliti data masukan *LSB* (data Q). Kedua modulator memiliki prinsip kerja yang sama sehingga pada tahap ini akan dijelaskan proses dari rangkaian Modulator 1. Data pada Modulator yang menggunakan IC 1496 berupa masukan data biner bipolar dan data gelombang sinus dengan keluaran data sinus analog sesuai dengan nilai beda phase tertentu.



Gambar 14. (a) Data Kelauran I dan Q dan (b) Blok sistem Modulator

Gambar 14 menjelaskan Modulator 1 menggunakan *IC18 (IC1496)* data masukan berupa *CARRIER INPUT* (960 KHz sudut phase 0) dan masukan dari *MODULATION INPUT* logika 0/1, keluaran tegangan dari IC18 disesuaikan dengan logika jika 0 maka frekuensi 960 KHz dengan sudut phase 0 dan jika 1 maka keluaran dengan sudut phase 180, kemudian dikuatkan *Op-Amp non-inverting* pada masukannya (kaki 5) di kali 7 dan di-*coupling* dengan kapasitor untuk melewati sinyal AC.

d. **Data Summing Amplifier.**



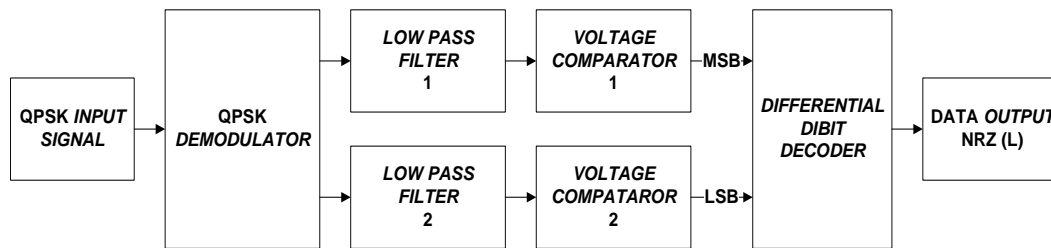
Gambar 15. Hasil Data Modulasi QPSK

Gambar 15 menjelaskan data keluaran dari modulasi QPSK sesuai blok penjumlahan dari modulator1 dan modulator 2. Proses *summing* atau penambahan antara 2 masukan dari modulator 1 dan 2 berupa data MSB (0 atau 1) dan LSB ( 0 atau 1) dengan masukan yang telah ditentukan

sehingga menghasilkan data sinus yang memiliki besar fase sebesar  $45^\circ$  (00),  $135^\circ$  (10),  $225^\circ$  (11),  $315^\circ$  (01). Pada tahap ini digunakan *op-amp* yang berfungsi sebagai penjumlahah.

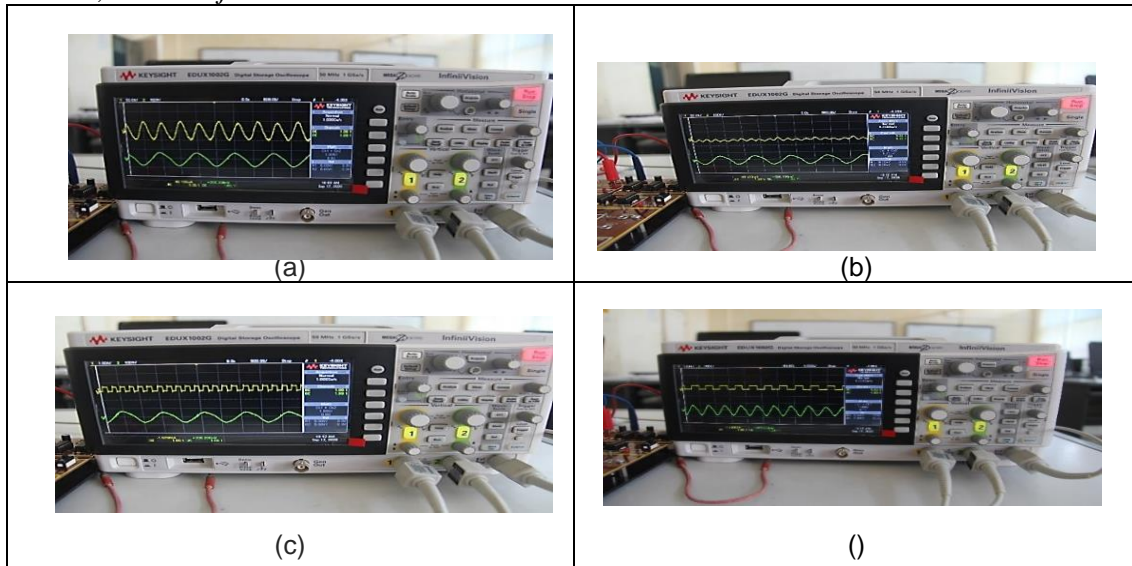
### B. Pengujian Demodulasi QPSK.

Penelitian data pada Modicom 5/2, data input adalah keluaran dari *transmitter* (Modicom 5/1) dengan gelombang sinus 960 kHz dengan beda sudut phase  $45^\circ$ ,  $135^\circ$ ,  $225^\circ$  dan  $315^\circ$ . Untuk *phase*  $45^\circ$  menyandikan data 0 0, *phase*  $135^\circ$  menyandikan data 0 1, *phase*  $225^\circ$  menyandikan 1 1 dan *phase*  $315^\circ$  menyandikan 1 0. Berikut merupakan hasil penelitian data pada *modicom* 5/2 (demodulasi QPSK). Gambar 16 adalah blok sistem demodulasi QPSK menggunakan Modicom 5/2



Gambar 16. Blok Modulasi QPSK

1) *Detektor QPSK dan Filter LPF*. Pada tahap ini dilakukan pendeteksian data *input* yang berasal dari Modicom 5/1. Sinyal masukan dari modulasi berupa data analog yang akan dideteksi berupa *phase* MSB dan LSB. Sinyal masukan pada blok demodulator QPSK akan di deteksi dengan beberapa bagian, dimana terdapat 5 bagian dalam deteksi sinyal, yaitu *Signal squarer 1*, *Signal squarer 2*, *detector phase* dengan PLL, rangkaian pembagi 4, *Phase adjust*.



Gambar 17. (a) Pengali 2, (b) Pengali 2, (c) Detektor Sudut, (d) Kendali Saklar I dan Q

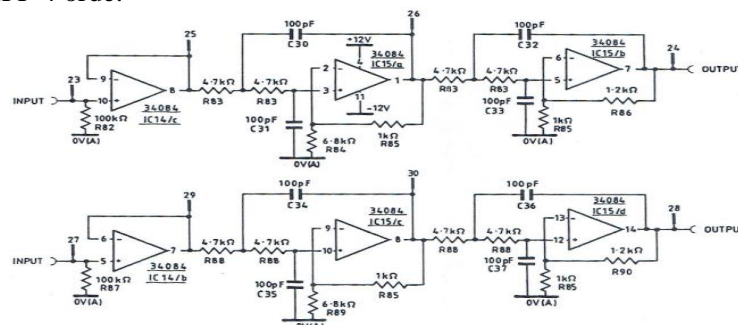
Gambar 17. a menjelaskan *Signal squarer 1* terdiri dari IC LM1496 yang berfungsi untuk membangkitkan sinyal menjadi 2 kali dari sebelumnya. *Signal squarer 1* dapat dibuktikan secara matematis sebagai berikut:

$$\text{Sinyal informasi} = V = A \cos wt$$

maka kuadrat dari sinyal ini adalah  $A \cos wt$ .

$$A \cos wt = A^2 \cos^2 wt = 1/2 \cdot A^2 \cdot (1 + \cos^2 wt).$$

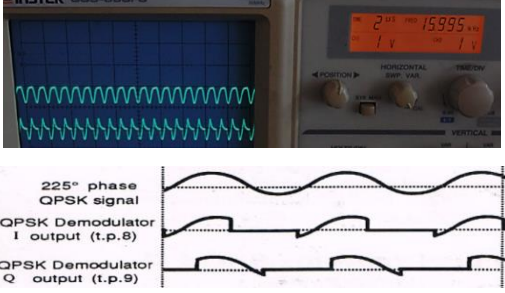
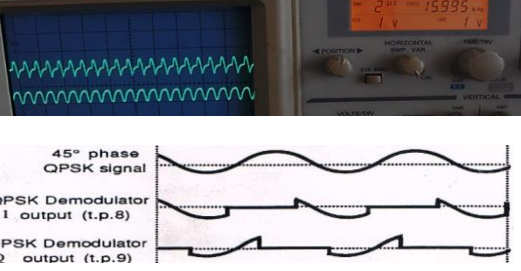
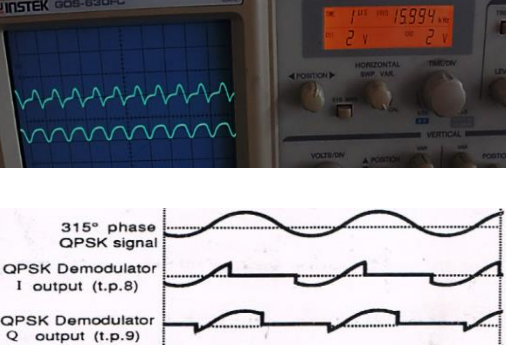
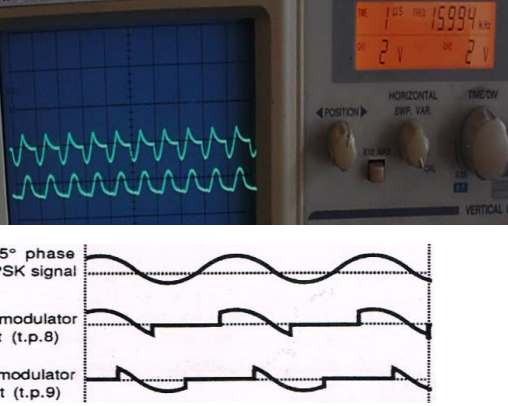
Hasil gelombang sinus dengan frekuensi dua kali lipat dari gelombang sinyal yang masuk. Pada sistem diaplikasikan keluaran (pin 12) dari IC2 kemudian digabungkan (melalui kapasitor C3) ke input *non-inverting* (pin 3) *op-amp* IC3 (MC34085), *Op-amp* IC3 dengan gain tetap 2,47. Sinyal ini sama dengan kuadrat dari sinyal yang muncul dari *signal squarer* 1 (tp2). Konfigurasi rangkaian dan nilai komponen yang digunakan pada *signal squarer* 2 adalah identik dengan *signal squarer* 1. Oleh karena itu, setiap saat sinyal yang muncul pada keluaran *signal squarer* 2 (tp3) adalah kuadrat sinyal yang muncul pada keluaran *signal squarer* 1(tp2) sehingga keluaran *signal squarer* 2 adalah 4 kali dari sinyal input. Rangkaian PLL terdiri dari Phase komparator IC5 (bagian dari IC PLL 74HC4046), sistem komparator yang digunakan PC1 dengan logika EXOR pada masukan input sinyal informasi dan keluaran VCO dengan menghasilkan gelombang persegi pada IC5/b (bagian dari IC PLL 74HC4046). Pada PLL deteksi phase keluaran dari gerbang *ex-or* muncul pada *output* PC1 (pin2) dari pembanding fase dan level rata-rata sinyal *output* ini di lewatkan oleh *low pass filter* yang dilewatkan dengan *low pass filter* dihubungkan ke VCO *input* (pin9) IC5/b, untuk mengontrol frekuensi osilator selanjutnya diumpun kembali ke input komparator (pin3) dari pembanding fase IC5. Rangkaian pembagi 4, yang membagi sinyal keluaran PLL menjadi faktor 4. Rangkaian pembagi 4 merupakan pencacah biner (IC6 74HC393). Sinyal keluaran dari rangkaian pembagi 4 sehingga mempunyai pewaktuan sama dengan sinyal asli informasinya. Sinyal ini dilewatkan rangkaian *phase adjust* (penyesuaian *phase*) untuk mengendalikan saklar otomatis sebagai penyuplik sinyal informasi I dan sinyal informasi Q. Blok Detektor QPSK menghasilkan sinyal I dan sinyal Q sebagai masukan pada filter LPF orde 2 dua kali atau 4 orde. Gambar 18 adalah Low pass filter berfungsi untuk menghilangkan (*filtering*) *noise/ripple* pada sinyal informasi I dan sinyal informasi Q. Gambar 4.15 menjelaskan Low pass filter terdiri dari Op-amp sebagai *buffer* dan dua Op-amp sebagai *filter* 4 orde dengan faktor frekuensi *cut off* yaitu kapasitor C 100 pF dan resistansi R 4.7 K ohm dengan penguatan non inver (faktor penguatan resistansi R 1 K ohm dan R 1,2 K ohm). Gambar 18 menjelaskan rangkaian LPF 4 orde.



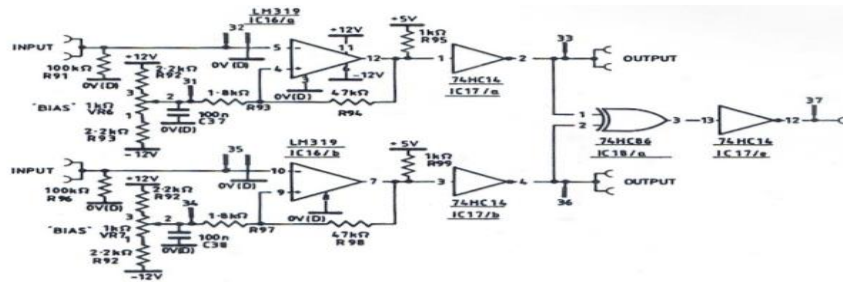
Gambar 18. Filter Empat Orde Data I dan Data Q

2) *Squaring Circuit*. Tabel 1 adalah data keluaran filter Modicom 5/2 sebagai data I dan Q yang selanjutnya akan dikodekan menjadi data biner 0/1. Gambar 19 adalah rangkaian op-amp yang bekerja sebagai komparator. Komparator, sinyal input dari filter dibandingkan dengan tegangan referensi (*adjustment*) dengan keluaran Vss (+/-) sebagai data keluaran logika 1 atau 0 kemudian dilanjutkan sebagai masukan *Defersial decoder* dengan *pull up* resistor

TABEL I  
DATA DAN REFERENSI DEMODULASI QPSK

NO	DATA INPUT MODICOM 5/1	DATA MODICOM 5/2
1	Data I=1;Q=1 ;225°	 <p>225° phase QPSK signal</p> <p>QPSK Demodulator I output (t.p.8)</p> <p>QPSK Demodulator Q output (t.p.9)</p>
2	Data I=0; Q=0; 45°	 <p>45° phase QPSK signal</p> <p>QPSK Demodulator I output (t.p.8)</p> <p>QPSK Demodulator Q output (t.p.9)</p>
3	Data I=0; Q=1;315°	 <p>315° phase QPSK signal</p> <p>QPSK Demodulator I output (t.p.8)</p> <p>QPSK Demodulator Q output (t.p.9)</p>
4	Data I =1;Q=0;135°	 <p>135° phase QPSK signal</p> <p>QPSK Demodulator I output (t.p.8)</p> <p>QPSK Demodulator Q output (t.p.9)</p>





Gambar 19. Dua Rangkaian Komparator I dan Q

2) *Differential decoder*. Tahap ini merupakan tahap terakhir untuk pengambilan data pada modicom 5/2 demodulator QPSK dimana kedua sinyal I (MSB) dan Q (LSB) berupa data logika *high/low* menjadi data serial standar NRZ-L dengan pewaktuan dari modicom 3/2 sebagai pembangkit *clock*. Blok *differential decoder* bertugas untuk mengembalikan data MSB (data I) dan LSB (data Q) menjadi urut atau seri MSB LSB dengan metode PISO (*parallel input serial output*) menggunakan *register* geser. Pada rangkaian ini sinyal masukan MSB dan LSB pertama di *buffer* dengan menggunakan IC 74HC175. Kedua sinyal ini akan menjadi aliran data NRZ-L sederhana. Untuk sinyal input MSB dihubungkan pada tp41 dan sinyal input LSB dihubungkan pada tp42, kemudian kedua sinyal LSB dan MSB tersebut menjadi satu keluaran yang di urutkan pada tp43.

## V. KESIMPULAN

Berdasarkan tahap perancangan dan penelitian yang dilakukan, dapat ditarik beberapa kesimpulan sebagai berikut :

- Proses pemisahan data serial (D0, D1, D2, D3, D4, D5) menjadi data MSB (D0, D2, D4) dan LSB (D1, D3, D5) dalam bentuk data diskrit digital.
- Sistem blok *unipolar to bipolar converter* berhasil didapatkan standar data unipolar (0V/+5V) menjadi data bipolar (-4V/+4V).
- Keluaran *Balance Modulator* (IC 1496) berupa sinyal *carrier* dengan sudut phase dikendalikan dari masukan digital dengan standar bipolar.
- Pada modulasi QPSK terjadi penjumlahan dari Modul I dan modul sinyal Q dengan keluaran sudut phase 00(45°), 10(135°), 11(225°), 01 (315°).
- Detektor dengan cara sinyal informasi dibangkitkan 4 kali, dideteksi phasanya dengan menggunakan PLL, dibagi 4. Sudut beda phase ini sebagai kendali saklar sinyal I dan Q untuk menghasilkan sinyal I dan sinyal Q kemudian difilter untuk menghilangkan sinyal kesalahan dengan filter *butterworth* orde empat.
- Data sinyal I dan Q diubah ke data digital dengan cara Op-Amp sebagai komparator sehingga data menjadi logika 0 atau 1.
- Data I dan O sebagai data MSB dan LSB digabungkan lagi menjadi serial data diskrit dengan blok *differential decoder* dengan cara PISO (*parallel input serial output*) menggunakan IC 17HC175 dengan sumber *clock* serial dari Modicom 3/2

## UCAPAN TERIMA KASIH

Kami sebagai peneliti mengucapkan terimakasih kepada Gubernur AAU dan Kadeplek AAU telah memberikan kesempatan peneliti untuk menggunakan Laboratorium Komunikasi dalam menyelesaikan penelitian. Peneliti berharap penelitian ini dapat terus berlanjut dan bermanfaat dalam menambah referensi keilmuan bagi pembelajaran Taruna AAU.

## REFERENSI

- [1] *Technical Systems. (1996). Modicom 5 Data Conditioning Carrier, USA: Author, New York*
- [2] Nexperia (2017), *Quad D-type flip-flop with reset; positive-edge trigger 74HC/HCT175*. Rev.5, 29 Januari 2016, dilihat 17 April 2020
- [3] Nexperia (2017), *Quad 2-input EXCLUSIVE-OR Gate 74HC86;74HCT86*. Rev. 4, 4 Desember2015, dilihat 17 April 2020
- [4] Nexperia (2017), *Quad buffer/line driver; 3-state 74HC126;74HCT126*. Rev. 1, 20 Maret 2013, dilihat 17 April 2020
- [5] *On Semiconductor (2006), Balance Modulators/demodulators*. Rev. 10, Oktober 2006, dilihat 17 April 2020
- [6] *Pengertian op-amp operational amplifier*, <<https://teknikelektronika.com/pengertian-op-amp-operational-amplifier/>>, dilihat 18 April 2020
- [7] *Philips Semiconductors (1990). 4-bit binary full adder with fast carry 74HC/HCT283*, USA:Author. California, dilihat 18 April 2020
- [8] Wibisono, W, Sukiswo, S, Christyono, Y 2014, 'Perancangan modulator dan demodulator Quadrature Phase Shift Keying (QPSK) dengan rangkaian balance modulator', vol. 16, no. 2, hh. 69-78,
- [9] Yohana Pebrianti Sumardi, 2008, *Demudalator QPSK*, Sanata Dharma, Yogyakarta ,
- [10] Rosid, Yayan Fauzi Nur et al, 2015, *Modulasi dan Demodulasi Analog dan Digital*, ITB.
- [11] Susilawati, Indah, 2009, *Modulasi dan Demodulasi Digital*, Jakarta.
- [12] Subarta, Anto. 2004. *Quadrature Phase Shift Keying*, ITB.